



Gr 2823
PATENT #3/Priority
Docket No. JCLA6831
page 1
DKing
1/9/02

In re application of: YI-CHUAN DING et al.

Application No.: 09/900,054

Filed: July 06, 2001

For: FLIP CHIP PROCESS

Examiner:

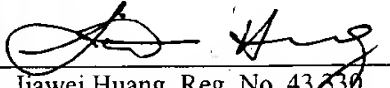
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

December 7, 2001

(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

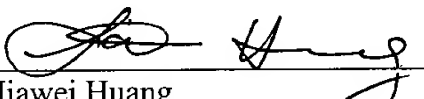
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 89127631 filed on December 22, 2000.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6831). A duplicate copy of this sheet is enclosed.

Date: 12/7/2001

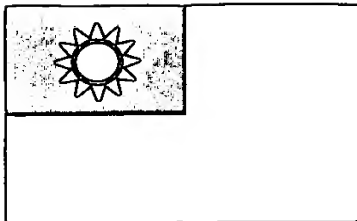
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
JAN - 2 2002
TC 2600 MAIL ROOM

JCLF16831

09/900,054



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 12 月 22 日
Application Date

申請案號：089127631
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 8 月 15 日
Issue Date

發文字號：09011012147
Serial No.

MOOR-THAM 0032 01

2001-8-15

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	覆晶製程
	英 文	
二、發明 創作人	姓 名	1 丁一權 2 歐英德 3 陳崑進 4 葉勇誼
	國 籍	中華民國
	住、居所	1 高雄市左營區文強路 2 號 2 高雄市苓雅區興中一路 7 巷 46 號 3 台南市民權路二段 64 巷 48 號 4 高雄市楠梓區後昌路 860 巷 26 之 1 號
三、申請人	姓 名 (名稱)	日月光半導體製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	高雄市楠梓加工出口區經三路 26 號
	代 表 人 名 姓	張虔生

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要（發明之名稱：覆晶製程）

一種覆晶製程包括：提供一晶圓，此晶圓具有多個晶片，每一晶片之表面具有多個焊墊，而在每一該些焊墊上分別形成一凸塊。提供多個基板，每一基板具有至少一封裝單元，且封裝單元具有多個接點，而將基板分別配置於晶片上，使得每一封裝單元分別對應晶片之一，且封裝單元之接點分別與對應的晶片之凸塊電性連接，而相鄰的二基板之間具有一隙縫。藉由上述之隙縫及晶圓的邊緣，填滿一填充材料於基板與晶圓之間。接著進行一固化步驟，使填充材料固化。進行一切單步驟，切割晶圓與基板，使得每一晶片與對應之封裝單元形成獨立的一覆晶封裝。

英文發明摘要（發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明是有關於一種覆晶之製程，且特別是有關於一種晶圓層級之覆晶封裝的製程方法。

隨著電子科技不斷地演進，更人性化、功能性更複雜的電子產品一直推陳出新，然而其未來的電子產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利之利用。因此，在積體電路元件的領域中，除了晶片製造技術朝向積集度更高的方向發展，而積體電路封裝也朝向密度更高的方向研發。所以許多高腳數、高密度的晶片尺寸封裝(CSP)相繼被開發出來，而覆晶封裝技術(flip chip)由於直接以凸塊作為晶片與承載器間的接點，縮短了晶片與承載器間連接路徑及所佔面積，因而更是常應用於晶片尺寸封裝中。另外，由於為提高封裝製程的操作便利性及產能，晶圓層級封裝製程(wafer level packaging)，亦是現今製程技術發展的趨向，尤其是與覆晶技術結合更是可以提高產能並且節省製程時間，使製程更具效率性，因此晶圓層級之覆晶封裝製程係為廠商一直追求的目標。故本發明之覆晶製程就是提出一種晶圓層級之覆晶封裝的製程方法。

請參照第 1 圖、第 2 圖，其繪示習知覆晶製程之剖面示意圖。

在習知覆晶製程中，如第 1 圖所示，首先提供至少一晶片 100，在晶片 100 之表面 102 具有多個焊墊 104，而在每一焊墊 104 上分別形成一凸塊 106(bump)，凸塊 106 與焊墊 104 電性連接。接下來，再提供一基板 150，在基板 150 之表面 152 具有多個接點 154，每一接點 154 分別

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

對應晶片 100 之凸塊 106。

請參照第 1 圖、第 2 圖，將晶片 100 之凸塊 106 與基板 150 之接點 154 對準接觸，然後再進行迴焊(reflow)之製程，將晶片 100 之凸塊 106 加熱，使其呈半融化的狀態，再將基板 150 與晶片 100 焊合，定義焊合後之凸塊為焊合凸塊 108，而焊合凸塊 108 與基板 150 之接點 154 電性連接，亦與晶片 100 之焊墊 104 電性連接。在迴焊之製程之後，會有多餘的助焊劑(flux)(未繪示)殘留在基座 150 之表面 152，需用溶劑清洗。接下來進行一填入填充材料之製程，將一填充材料 180 填充於晶片 100 與基板 150 之間，並且填充材料 180(underfill)包覆焊合凸塊 108，然後再將填充材料 180 固化。

在上述習知的覆晶製程中，乃是透過晶圓切割的製程，將多個覆晶晶片切割成單片，再把每一覆晶晶片經過反轉，使凸塊向下焊合於基板之上，上述之製程乃是非常耗時且生產量低，實不具效率性。

因此本發明的主要目的就是在提供一種覆晶製程，可以大幅地提高產量，在製程上具有效率性。

為達本發明之上述和其他目的，提出一種覆晶製程，依序包括：提供一晶圓，此晶圓具有多個晶片，每一晶片之表面具有多個焊墊，而在每一該些焊墊上分別形成一凸塊。接下來提供多個基板，每一基板具有至少一封裝單元，且封裝單元具有多個接點，而將基板分別配置於晶片上，使得每一封裝單元分別對應晶片之一，且封裝單元

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

之接點分別與對應的晶片之凸塊電性連接，而相鄰的二基板之間具有一隙縫。接下來藉由上述之隙縫及晶圓的邊緣，填滿一填充材料於基板與晶圓之間。接著進行一固化步驟，使填充材料固化。以及進行一切單步驟，切割晶圓與基板，使得每一晶片與對應之封裝單元形成獨立的一覆晶封裝。

依照本發明的一較佳實施例，其中基板由至少一圖案化線路層以及至少一絕緣層疊合組成；而基板亦可以由多個圖案化線路層以及至少一絕緣層疊合組成。另外絕緣層之材質包括玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺、環氧樹脂及陶瓷，而凸塊的材質包括錫鉛合金、金及導電性高分子材料。此外每一基板具有多個個封裝單元，而每一封裝單元之面積小於等於對應之晶片的面積。

為達本發明之上述和其他目的，提出一種覆晶製程，依序包括：提供一晶圓，此晶圓具有多個晶片，每一晶片之表面具有多個焊墊。接下來提供多個基板，每一基板具有至少一封裝單元，封裝單元具有多個接點，分別對應多個晶片之一的焊墊，並且在每一接點表面分別形成一凸塊。接下來將基板分別配置於晶片上，使得每一封裝單元分別對應晶片之一，且基板之接點分別透過凸塊與對應的晶片之焊墊電性連接，而相鄰的二基板之間具有一隙縫。接下來藉由上述之隙縫及晶圓的邊緣，填滿一填充材料於基板與晶圓之間。接下來進行一固化步驟，使填充材料固化，以及進行一切單步驟，切割晶圓與基板，使得每

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

一晶片與對應之封裝單元形成獨立的一覆晶封裝。

依照本發明的一較佳實施例，其中基板由至少一圖案化線路層以及至少一絕緣層疊合組成；而基板亦可以由多個圖案化線路層以及至少一絕緣層疊合組成，並且絕緣層之材質包括玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺、環氧樹脂及陶瓷，而凸塊的材質包括錫鉛合金、金及導電性高分子材料。此外每一基板具有多個個封裝單元，而每一封裝單元之面積小於等於對應之晶片的面積。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖至第 2 圖繪示習知覆晶製程之剖面示意圖。

第 3 圖至第 5 圖繪示依照本發明第一較佳實施例的一種覆晶製程之剖面示意圖。

第 6 圖繪示本發明第二實施例的一種覆晶製程之剖面示意圖。

第 7 圖繪示本發明第三實施例的一種覆晶製程之剖面示意圖。

圖式之標示說明：

200：晶圓

202：切割道

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

100、210：晶片
102、152、212：表面
104、214：焊墊
106、216、402：凸塊
108、218：焊合凸塊
150、250、500：基板
252：基板刻劃區
254：圖案化線路層
256：絕緣層
258、512：下表面
260：上表面
262：貫穿孔
264：導電材料
270、510：封裝單元
154、272、514：接點
278：隙縫
274：連外接點
180、290：填充材料
292：填充材料刻劃區
280：焊球
300：覆晶封裝

實施例

請參照第 3 圖至第 5 圖，其繪示依照本發明第一較

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

佳實施例的一種覆晶製程之剖面示意圖。

請先參照第 3 圖，首先提供一晶圓 200，晶圓 200 具有多個晶片 210、多個切割道 202(wafer scribe line)，而切割道 202 圍繞在晶片 210 之邊緣區域，亦即二相鄰晶片 210 之間。其中每一晶片 210 具有一表面 212，且每一晶片 210 之表面 212 具有多個焊墊 214，而在每一焊墊 214 之上分別形成一凸塊 216，凸塊 216 的材質可包括錫鉛合金、金以及導電性高分子材料。

接下來提供多個基板 250，基板 250 之型態可以為多層板之型態，係由多個圖案化線路層 254 以及至少一絕緣層 256 交替疊合而成，而絕緣層 256 的材質可包括玻璃環氧基樹脂 (FR-4、FR-5)、雙順丁烯二酸醯亞胺 (Bismaleimide-Triazine, BT)、聚亞醯胺 (polyimide)、環氧樹脂 (epoxy) 以及陶瓷 (ceramic)。然而基板之種類亦可包括單層板形式，其具有一圖案化線路層以及一絕緣層，在本實施例中係以多層板為例。另外，每一基板 250 係由多個封裝單元 270、多個基板刻劃區 252 所組成，而基板刻劃區 252 圍繞在封裝單元 270 之邊緣區域。每一封裝單元 270 具有多個接點 272、多個連外接點 274，並且封裝單元 270 之下表面 258 暴露出接點 272，而封裝單元 270 之上表面 260 暴露出連外接點 274。在每一封裝單元 270 之絕緣層 256 還具有多個貫穿孔 262，而貫穿孔 262 之內填入一導電材料 264，使得封裝單元 270 之接點 272 分別與連外接點 274 電性連接。此外，封裝單元 270 之下表面

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (7)

258 與對應之晶片 210 的表面 212 相對，同時封裝單元 270 之下表面 258 的面積小於等於對應之晶片 210 的表面 212 之面積。

請參照第 3 圖、第 4 圖，接下來進行一焊合之製程，首先將基板 250 分別配置於晶片 210 上，使得基板 250 之每一封裝單元 270 分別對應晶片 210 之一，並且每一封裝單元 270 之接點 272 分別與對應之凸塊 216 接觸，同時每一相鄰之二基板 250 間具有一隙縫 278。

然後再進行一迴焊(reflow)之製程，將晶片 210 之凸塊 216 加熱，使其呈融熔之狀態，再將封裝單元 270 與晶片 210 焊合，定義焊合後之凸塊為焊合凸塊 218，而焊合凸塊 218 與封裝單元 270 之接點 272 電性連接，亦與晶片 210 之焊墊 214 電性連接。在迴焊之製程之後，會有多餘的助焊劑(未繪示)殘留在晶片 210 之表面 212，需用溶劑清洗。

接下來進行一填入填充材料之製程，藉由隙縫 278 及晶圓 200 之邊緣，將一填充材料 290(underfill)填充於晶圓 200 與基板 250 之間，並且填充材料 290 包覆焊合凸塊 218，然後再將填充材料 290 固化，而對應於切割道 202 與基板刻劃區 252 之間具有一填充材料刻劃區 292。

請參照第 4 圖、第 5 圖，接下來進行一單切步驟，透過切割之方式，切割晶圓 200 之切割道 202、基板刻劃區 252、填充材料刻劃區 292。

最後，在封裝單元 270 之連外接點 274 之上形成多

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

個焊球 280，而焊球 280 與連外接點 274 電性連接，並透過焊球 280 可與外界電路(未繪示)連通。如此，完成每一晶片 210 與對應之封裝單元 270 所形成獨立的一覆晶封裝 300。

請參照第 3 圖、第 4 圖、第 5 圖，在上述覆晶製程中，係將每一封裝單元 270 整合於特定之基板 250 中，在進行焊合之製程時，每一封裝單元 270 之接點 272 分別與每一晶片 210 之焊墊 214 對準焊合，然後再一併將基板 250 與晶圓 200 單切，如此在製程上較為省時且產量提高許多。需注意的是基板 250 的面積不宜太大，如此可以均勻地填入填充材料 290，且晶圓 200 與基板 250 在焊合時之校準較為容易，可增加覆晶製程的可行性及良率。

請參照第 6 圖，其繪示本發明第二實施例的一種覆晶製程之剖面示意圖。前述之第一實施例中係將凸塊形成於每一晶片的焊墊之上，然而凸塊的配置並非侷限於上述之方式，亦可以將凸塊 402 形成於每一封裝單元 270 之接點 272 之上，然後與晶片 210 之焊墊 214 焊合，而其餘步驟與第一實施例相同，在此不再贅述。

請參照第 7 圖，其繪示本發明第三實施例的一種覆晶製程之剖面示意圖。前述之第一實施例中多個封裝單元整合於一基板中，然而並非侷限於上述之方式，每一基板 500 亦可以僅具有一封裝單元 510，而每一封裝單元 510 之下表面 512 的面積均小於相對應的晶片 210 之表面 212 的面積。覆晶的步驟可參照第一實施例的方式亦可以參照

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

第二實施例的方式，將基板 500 之多個接點 514 分別與晶片 210 之焊墊 214 電性焊合。

綜上所述，本發明之覆晶製程，由於在進行焊合過程時，每一封裝單元之接點分別與每一晶片之焊墊對準焊合，然後再一併將基板與晶圓單切，如此在製程上較為省時且產量提高許多。而且本發明之晶圓等級封裝技術，不採用整片基板與晶圓接合，而以多個分開的基板，每一基板可能包含一封裝單元或多個封裝單元，如此使得晶圓等級封裝的製程良率可以大幅提昇，並使得覆晶中的填入填充材料製程的可行性及良率提高。

雖然本發明已以多個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種覆晶製程，包括：

提供一晶圓，該晶圓具有複數個晶片，每一該些晶片之表面具有複數個焊墊；

在每一該些焊墊上分別形成一凸塊；

提供複數個基板，每一該些基板具有至少一封裝單元，該封裝單元具有複數個接點，分別對應該些晶片之一的該些焊墊，將該些基板分別配置於該些晶片上，使得每一該些封裝單元分別對應該些晶片之一，且該些接點分別與對應之該些凸塊電性連接，而相鄰的二基板之間具有一隙縫；

藉由該些隙縫及該晶圓的邊緣，填滿一填充材料於該些基板與該晶圓之間；

進行一固化步驟，使該填充材料固化；以及

進行一切單步驟，切割該晶圓與該些基板，使得每一該些晶片與對應之該封裝單元形成獨立的一覆晶封裝。

2. 如申請專利範圍第 1 項所述之覆晶製程，其中每一該些基板分別由至少一圖案化線路層及至少一絕緣層疊合組成。

3. 如申請專利範圍第 1 項所述之覆晶製程，其中每一該些基板分別由複數個圖案化線路層及至少一絕緣層交替疊合組成。

4. 如申請專利範圍第 2 項或第 3 項所述之覆晶製程，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺、環氧樹脂及陶瓷所組成之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

族群中的一種材質。

5.如申請專利範圍第 1 項所述之覆晶製程，其中該些凸塊的材質係選自於錫鉛合金、金及導電性高分子材料所組成之族群中的一種材質。

6.如申請專利範圍第 1 項所述之覆晶製程，其中每一該些基板具有複數個封裝單元，而每一該些封裝單元之面積小於等於對應之該晶片的面積。

7.一種覆晶製程，包括：

提供一晶圓，該晶圓具有複數個晶片，每一該些晶片之表面具有複數個焊墊；

提供複數個基板，每一該些基板具有至少一封裝單元，該封裝單元具有複數個接點，分別對應該些晶片之一的該些焊墊；

在每一該些接點表面分別形成一凸塊；

將該些基板分別配置於該些晶片上，使得每一該些封裝單元分別對應該些晶片之一，且該些接點分別透過該些凸塊與對應之該些焊墊電性連接，而相鄰的二基板之間具有一隙縫；

藉由該些隙縫及該晶圓的邊緣，填滿一填充材料於該些基板與該晶圓之間；

進行一固化步驟，使該填充材料固化；以及

進行一切單步驟，切割該晶圓與該些基板，使得每一該些晶片與對應之該封裝單元形成獨立的一覆晶封裝。

8.如申請專利範圍第 7 項所述之覆晶製程，其中每

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

一該些基板分別由至少一圖案化線路層及至少一絕緣層疊合組成。

9.如申請專利範圍第 7 項所述之覆晶製程，其中每一該些基板分別由複數個圖案化線路層及至少一絕緣層交替疊合組成。

10.如申請專利範圍第 8 項或第 9 項所述之覆晶製程，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺、環氧樹脂及陶瓷所組成之族群中的一種材質。

11.如申請專利範圍第 7 項所述之覆晶製程，其中該些凸塊的材質係選自於錫鉛合金、金及導電性高分子材料所組成之族群中的一種材質。

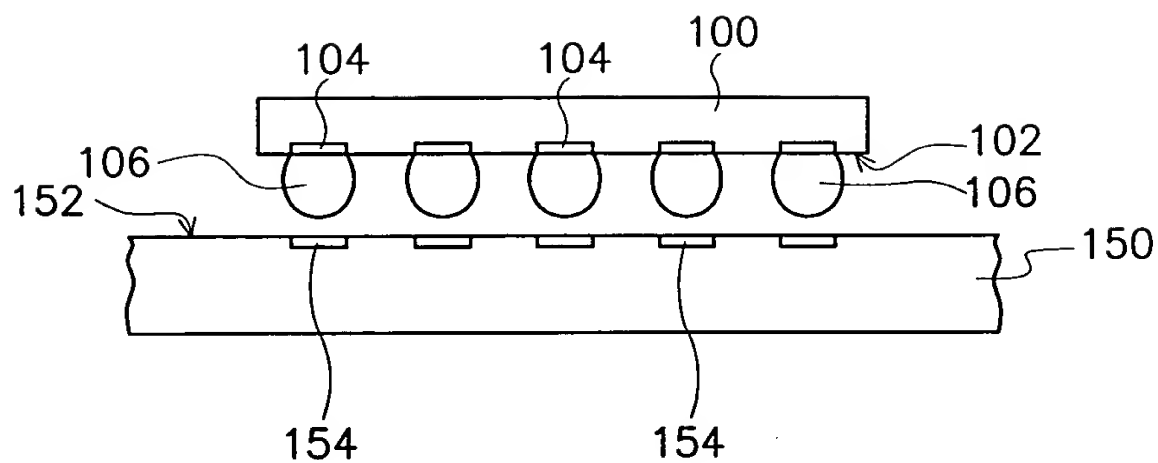
12.如申請專利範圍第 7 項所述之覆晶製程，其中每一該些基板具有複數個封裝單元，而每一該些封裝單元之面積小於等於對應之該晶片的面積。

(請先閱讀背面之注意事項再填寫本頁)

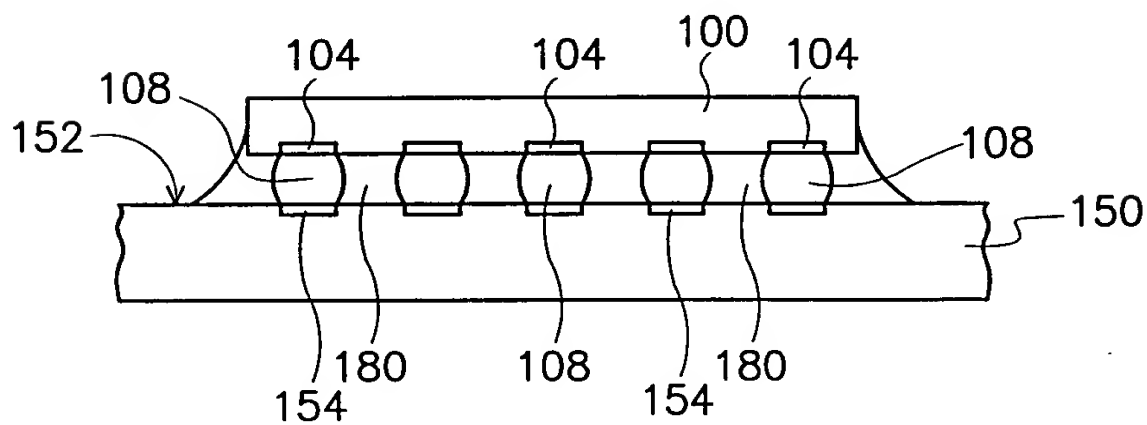
裝

訂

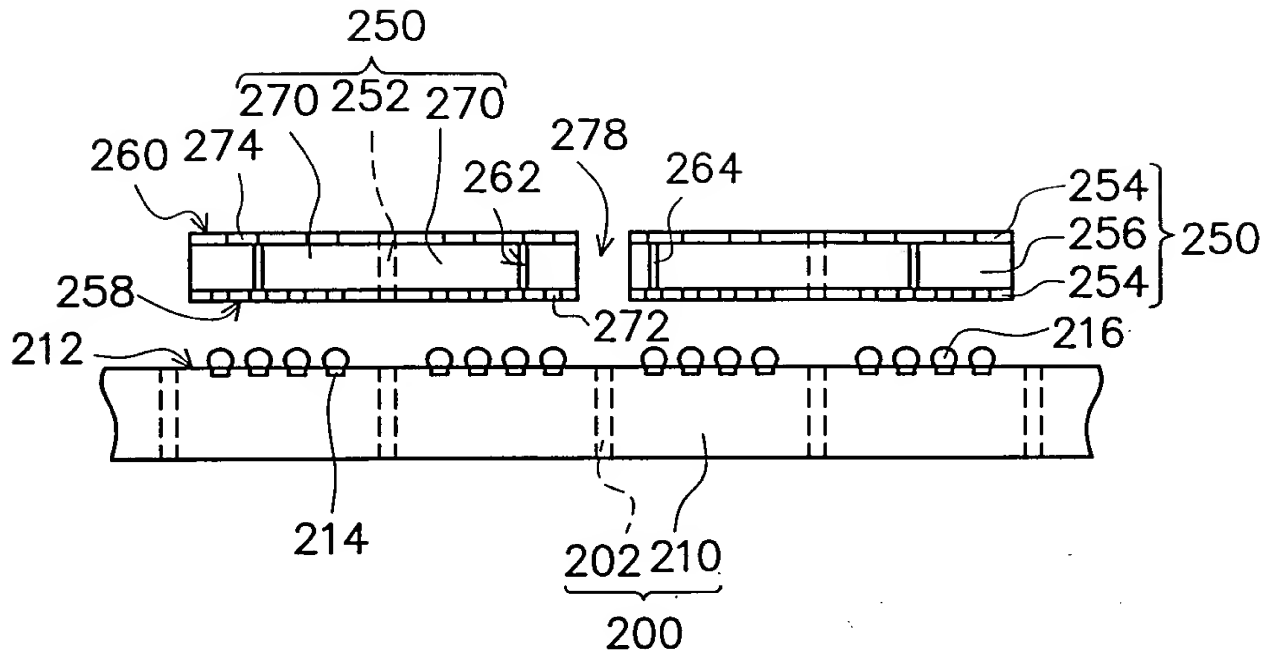
線



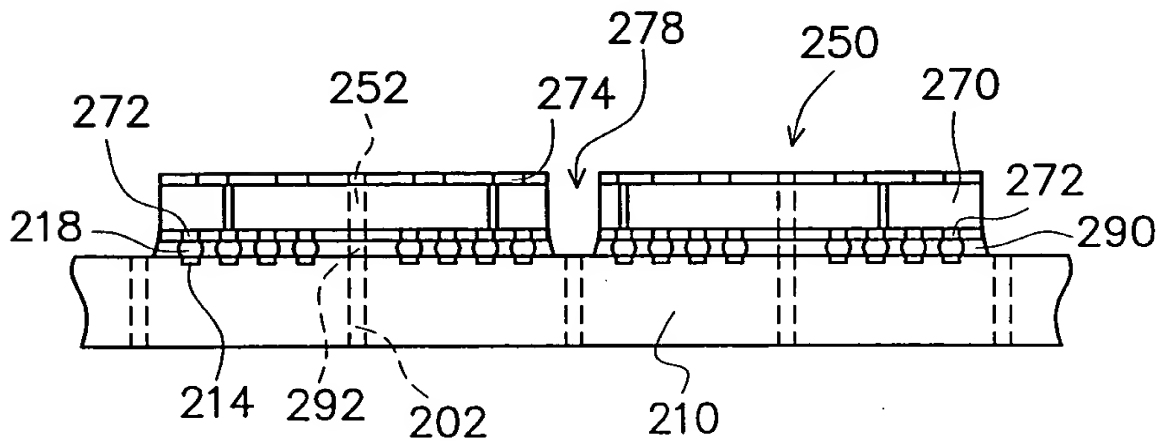
第 1 圖



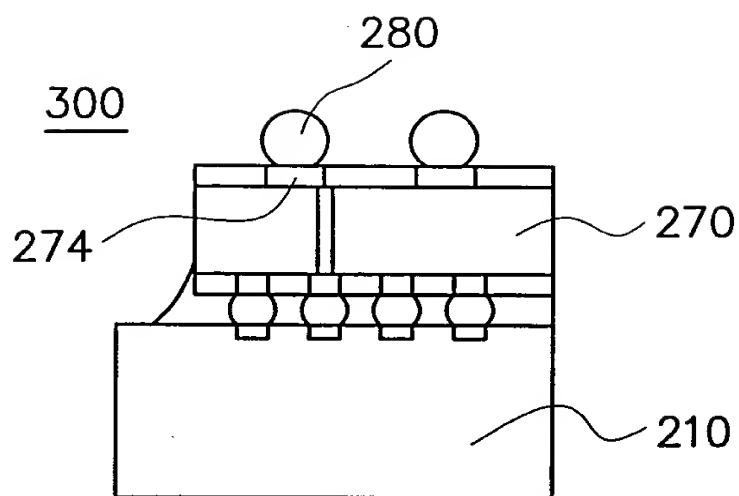
第 2 圖



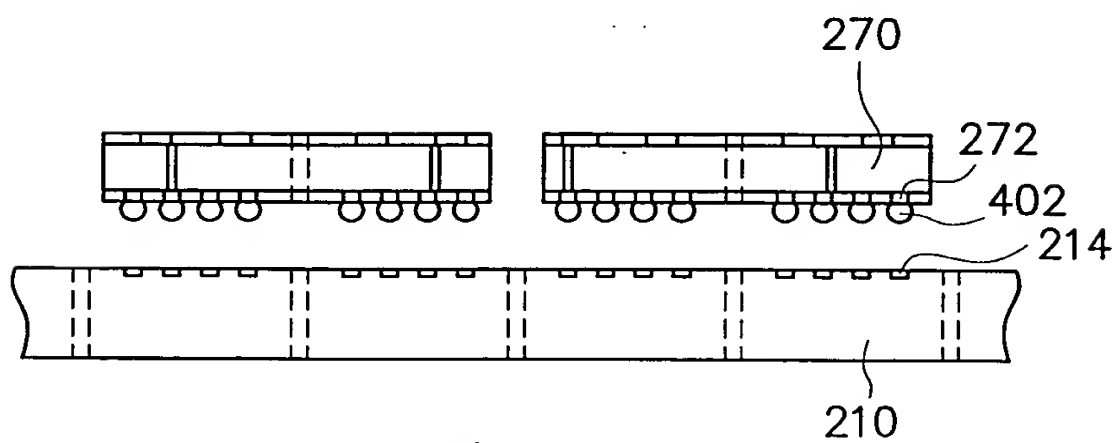
第 3 圖



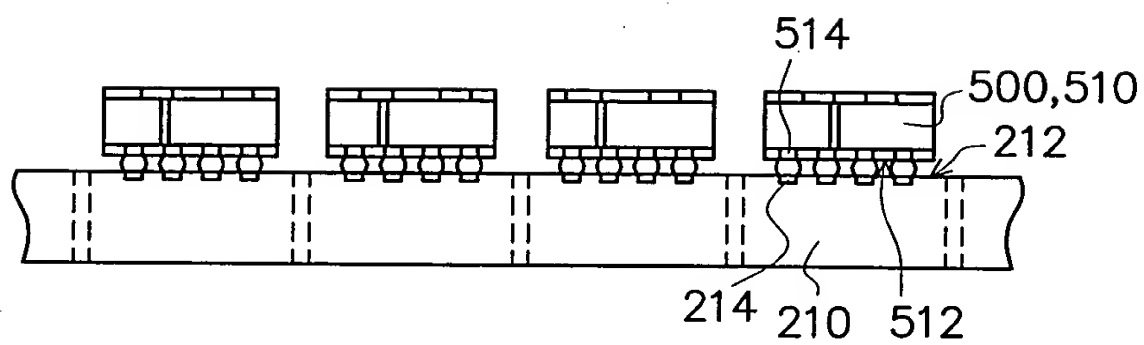
第 4 圖



第 5 圖



第 6 圖



第 7 圖